

文章编号:1007-2780(2012)05-0642-07

单显存芯片的 17.8 cm 模拟屏控制

张团善,康 伟

(西安工程大学 电信学院, 陕西 西安 710048, E-mail:459915771@qq.com)

摘 要: 对显示器件的控制是实现良好人机界面的基础, TFT 模拟 LCD 屏符合普通机器对显示效果的要求且价格便宜, 在工业机械中应用非常广泛。针对 17.8 cm(7 in) 模拟屏, 提出 STM32+CPLD 实现单片 SRAM 做显存的 LCD 控制方案, 并从 STM32 的 DMA 写外接显存的速度方面分析了所提方案的可行性。对系统设计中关键问题予以论述并给出了部分程序。方案节省了成本, 提高了人机界面的反应速度, 有一定实用价值。

关 键 词: 17.8 cm 模拟 TFT 型 LCD; STM32; CPLD; 单显存; DMA

中图分类号: O753+.2 **文献标识码:** A **DOI:** 10.3788/YJYXS20122705.0642

17.8 cm Analog Screen Control Based on Single Video Memory

ZHANG Tuan-shan, KANG Wei

(Xi'an Polytechnic University, Xi'an 710048, China, E-mail:459915771@qq.com)

Abstract: The control of display device is the foundation to realize good human-machine interface. Analog TFT LCD screen meets the requirements of the industrial machine in cheaper price and good display characteristics, so it is widely used in industrial machines. For 17.8 cm (7 in) analog screen, this paper puts forward the scheme that consists of STM32 and CPLD to achieve LCD control system based on single piece of SRAM as video memory, and analyzed the feasibility of the proposed scheme. The key problem of system design was discussed and parts of the program is given. The scheme saves cost and increases the reaction speed of the man-machine interface. It is of certain practical value.

Key words: 17.8 cm analog TFT LCD screen; STM32; CPLD; single video memory; DMA

1 引 言

随着工业技术的不断发展, 人机界面成为机器设备不可或缺的组成部分。TFT 型模拟 LCD 屏由于其便宜的价格和良好的显示性能被作为显示器件在工业机械上广泛应用。对于小屏幕的 LCD, 一般都自带控制器或者用单片机集成的 LCD 控制器进行驱动, 而较大尺寸的显示屏由于需要对大量数据进行处理需要使用独立的专用控制器。本文将从实用出发针对型号为 AT070TN04 的 17.8 cm(7 in) 模拟屏设计一套

控制系统, 为进一步的人机界面的编写提供 API 接口。

2 方案与硬件构架整体构架

在嵌入式系统中, 显示器上的点都是和显示数据一一对应的关系, 简单的如单色屏的亮/灭与 1/0 位逻辑的对应, 复杂的如像素点的颜色或灰度与多位数据间的对应。各点数据的行列排列组合够成整屏幕的图形界面。为了避免屏幕闪烁等不良现象, 显示器和微处理器间常采用快速存储器作显示缓冲, 以提高画质^[1]。此存储器也被叫

收稿日期: 2012-05-17; 修订日期: 2012-06-01

作者简介: 张团善(1971—), 男, 陕西西安人, 硕士, 副教授, 研究方向: 运动控制与嵌入式技术, 纺机电控研发。

做显存,由显示器和微处理器共享,且通常被设计成一帧图像数据的两倍大小,供显示器和微处理器循环使用^[2]。共享存储器的使用是LCD控制系统的性能的关键。

显存除部分公司采用需要动态刷新状态的SDRAM外,大部分采用静态RAM。虽然SRAM价格相对高,但为了有良好的显示效果,大部分大屏控制系统还是设计了用双片SRAM做显存,这无疑被迫以提高成本换取系统性能。事实上这种被迫不是必须的。使用单片SRAM做显存会造成屏幕闪烁,主要是由于上位处理器写显存时,显示控制器不能同时读显存,如果数据量较大写的时间就可能过长,就会造成显示器相邻两帧间隔时间过长,当间隔时间大于人眼能够识别的时间时,就会感觉到闪烁。所以只要微处理器写显存的时间够短,使用单片SRAM作显存的大屏控制系统是能够取得良好的显示性能。

笔者以STM32+CPLD+单片SRAM的方案设计了针对17.8 cm(7 in)模拟屏的控制系统。系统框图如图1所示,其中STM32上做基本点线字的显示函数,在CPLD中实现基本的LCD驱动时序,STM32通过总线将显示数据写入SRAM,CPLD通过总线读SRAM中的数据送入LCD,总线由STM32控制。

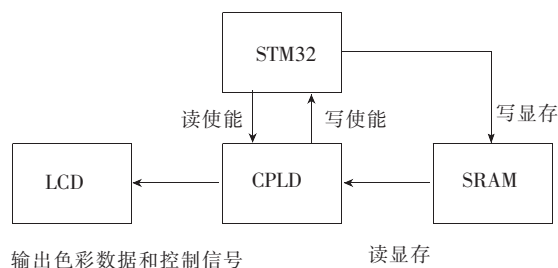


图1 LCD控制系统框图

Fig. 1 Block diagram of LCD control system

3 方案可行性分析

查AT070TN04手册上的帧频率为60 Hz,由于是模拟屏具有隔行扫描的特性,所以实际我们所见的完整一屏画面需要两帧的显示,实际的画面刷新频率为30 Hz。人眼对频率高于24 Hz的画面切换是觉察不到闪烁的。所以当对SRAM写数据时间小于0.008 3 s(为1/24与1/30差值)时,此单片RAM作显存的LCD控制

系统是可以正常工作的。

本次设计采用的LCD屏分辨率为 480×234 ,而人机界面需要256色,即完整一屏画面数据为 $(480 \times 234) = 112\,320$ Byte,所以RAM选择容量128 kByte的IS63LV1024。最大SRAM写时间为对全屏数据的写操作时间。查手册SRAM操作周期为10 ns,所以惟一限制操作SRAM速度的只有STM32的输出能力。查STM32手册,其GPIO口的通用推挽输出最大输出频率为10 MHz^[3],最大写SRAM的时间大于 $112\,320 \times 1/10\text{ MHz} = 0.011\,232\text{ s}$ 。如果使用通用IO模式写SRAM可能会造成画面闪烁。实际工作中发现在一次写超过120行数据时明显感到闪烁,不能满足应用需求。实践表明通用IO口模式写SRAM的方案只能适用于一屏幕数据小于等于 $480 \times 120 = 57\,600$ Byte的小尺寸模拟LCD屏。

此时STM32的DMA可以发挥其强大的功能。使用DMA方式写显存,无需CPU的任何干预,就可以实现数据块的快速移动。即节省了CPU资源,使上位CPU有能力实现其他的复杂任务,又提高了写显存的速度。查STM32的DMA应用手册,复用IO口最大工作频率可以达到50 MHz,且DMA一次可以连续传输65 536个字节^[4],又DMA写外扩显存需要时间为 $(3 + \text{数据字节数}) \times (1/72\text{ MHz})$,即理想情况下对外扩显存操作一次时间不大于 $112\,320 \times 1/50\text{ MHz} = 0.0022\,464\text{ s}$,小于闪烁的极限时间0.008 3 s,完全可以满足LCD显示要求。上位处理器STM32的片上RAM是有限的,由于不可能在内存中一次开辟一个113K字节的缓存来存储色彩数据,即使可以,每次待全部数据写入缓存,DMA也不能完全发挥DMA的无CPU参与的优势,还会增加基本显示函数的反应时间,这会降低人机界面的反应速度。所以设置小缓存区是必要的,还可以进一步设置多个缓冲区,这样写缓存的时间几乎可以忽略。在缓存区个数和缓存区大小设置适当的时候,基本显示函数的反应时间几乎就是写SRAM的时间,接近于DMA传输能够达到的最短时间。

由于只做简单驱动和数据搬运工作,出于成本考虑,LCD控制时序采用Altera公司的MAX-II系列的CPLD实现,因为大多数液晶屏都是实

时扫描的,且场频和行频时序都相对固定。CPLD 的开发在 QuatusII 中使用 verilog 语言编程。在编写完程序后再根据使用的逻辑资源数并留一定的升级裕量重新确定 CPLD 型号,本设计最终选择 MAXII 系列的 EPM1270GT144C5 芯片^[5]。

3 LCD 驱动器的 CPLD 开发

在 CPLD 中实现的功能主要为基本控制信号的实现和读 SRAM 操作。

3.1 LCD 控制信号的设计

本设计针对的是 TFT 模拟液晶屏 AT070-TN04,其接口共有 26 条线,其中 8 条为电源线和地线。

3.1.1 CPLD 与 LCD 控制时序接口

由于采用连续采样模式和由左到右、由上到下的扫描方式,所以对数据驱动的采样和移

位时钟线 CH2 和 CH3,模式选择线 MOD,扫描方式选择线 U/D 和 L/R,场起始信号 STVR,行起始信号 STHR 共 7 根控制信号进行硬件配置。

所以实际需要控制的为 3 条模拟色彩信号和 8 条控制信号线。由于 CPLD 只能以数字量的形式输出色彩信息,所以为了得到模拟色彩信息需要进行 DA 转换。出于成本考虑,采用了 HC245 加电阻权值网络的方式进行 DA 转换,如图 2 所示,获得 LCD 需要的模拟信号。

8 个控制信号分别是:数据驱动极的采样移位时钟线 CPH1,行扫描开始脉冲 STH,数据驱动输出使能 OEH,2 根奇数偶数行公共电极驱动信号 V_{com} ,帧扫描驱动输出功能控制 OEV,帧开始脉冲 STV,扫描驱动移位时钟 CKV。

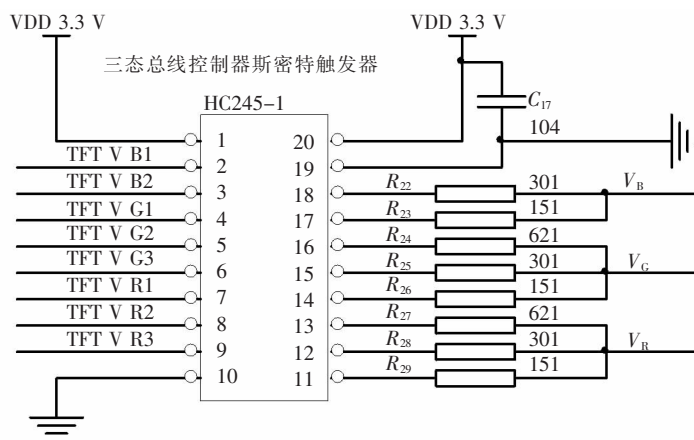


图 2 数模转化电路

Fig. 2 D/A conversion circuit

3.1.2 LCD 的控制时序实现

所有信号要严格遵守 LCD 应用手册的时序才能获得良好的显示效果。由手册的时序表知,所需的全部控制信号都是基于信号 CPH1 的^[6],周期为 102 ns,所以晶振频率应该在 10 MHz~50 MHz 的范围类选择,且尽量取的比较大。因为只有大于 10 MHz 时,CPLD 才有能力输出精确的周期为 100 ns 的 CPH 信号,晶振频率选择越高输出精度越高,时序越接近最佳情况。但晶振频率也不能取太高,否则需要消耗更多的逻辑单元且当频率高于 50 MHz 时,电路可能有信号完整性问题,将增加 PCB 设计难度。本次设计取频率为 25 MHz 的晶振,作为 CPLD 电路的时

钟源。

分析液晶驱动原理和 LCD 应用手册,LCD 以 CPH 信号为基准在每行 480 个像素点之间顺序做 RGB 的采样和移位输出,以 CKV 信号为基准做 234 行之间的顺序移位控制,以点为基准组成行时序,以行时序组成帧时序,完成一帧再进行下一帧的扫描。考虑到 LCD 的时序控制有顺序规律和重复的特点,所以程序的主体以状态机的形式实现,程序如下:

```
always @(posedge clk)
begin case(v_cnt)
0: begin
lcdOEVL<=0;lcdSTHL<=0;
```

```

        lcdOEHL<=1;
    end
50:begin
    lcdOEVL<=1;
end
133:begin
    if(vcount==1)
        lcdSTVU<=1;
    else if(vcount>239)
        VS<=0;
    else if(vcount<=238)
        VS<=1;
    end
144:begin
    lcdCKV<=1;
end
185:begin
    lcdOEVL<=0;
    lcdOEHL<=0;
end
216:begin
    lcdOEHL<=1;
end
235:begin
    lcdVCOM<=~lcdVCOM;
end
249:begin
    lcdCKV<=0;
end
426:begin
    HS<=1;
end
427:begin
    lcdSTHL<=1;
end
430:begin
    lcdSTHL<=0;
end
1427:begin
    HS<=0;
end
1480:begin
    lcdSTVU<=0;

```

```

    end
endcase
end

```

由于是模拟屏,在设计 V_{COM} 信号的实现时,一定保证输出相邻两帧, V_{COM} 的初始电平不同,否则会造成 LCD 始终只显示偶数行或者奇数行。最终控制时序程序在 modsim 软件中的仿真结果如图 3 所示,对照 LCD 的应用手册,时序完全符合控制需求。

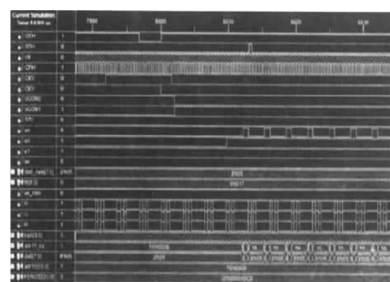


图 3 控制时序的 Modsim 仿真

Fig. 3 Program simulation of timing sequence based Modsim 6.0

编写测试程序获得实际驱动效果如图 4 所示,显示效果表明所编写的驱动程序可以准确真实地实现控制意图。

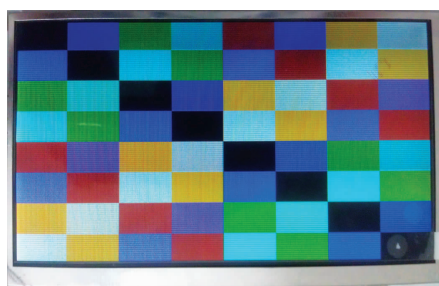


图 4 驱动电路的实际的驱动效果

Fig. 4 Actual display effect of driving circuit

3.2 读显存的设计

CPLD 在行同步、帧同步、移位时钟的控制下循环地将显存上的数据输出到 LCD 的 RGB 线上。LCD 屏幕上的点从左到右自上而下,按照扫描顺序,色彩信息字节连续储存在 SRAM 的 0~0x1B6BF 的空间上。在读 SRAM 时只需按上述规则将 LCD 上的点坐标转换为 SRAM 的地址即可。查 IS63LV1024 手册^[7],按图 5 所示,将片选 CE 和输出使能 OE 硬件拉低,因此 CPLD 只需控制 17 根地址线 A0~A16,8 根数据线 D0~

D7,1 根写使能线 WE。又由于控制器 CPLD 和上位 STM32 共享惟一的显存,所以除了 CPLD 除了控制上述信号,还需要输出 1 个当前状态信号 RD 和输入一个读使能信号 CS。如表 1 所示,

由于 CPLD 对 SRAM 只做读操作使人很容易误认为对于 WE 只需一直拉高就可以把存储器中的数据连续不断地读出来。正确的做法是在 WE 的上升沿读取数据线上的数据。

表 1 IS63LV1024 的控制真值表
Table 1 Control truth value table of IS63LV1024

Mode	$\overline{\text{WE}}$	$\overline{\text{CE}}$	$\overline{\text{OE}}$	I/O Operation	V_{cc} Current
Not Selected(Power-down)	X	H	X	High-Z	$I_{\text{SB1}}, I_{\text{SB2}}$
Output Disable	H	L	H	High-Z	$I_{\text{CC1}}, I_{\text{CC2}}$
Read	H	L	L	D _{OUT}	$I_{\text{CC1}}, I_{\text{CC2}}$
Write	L	L	X	D _{IN}	I_1, I_{CC2}

3.3 LCD 驱动器总的端口设置

LCD 基本控制时序模块和读 SRAM 的数据模块共同组成了 LCD 驱动器。CPLD 程序总的端口设置为:

```
input CLK;
input CS;
input RST;
output RD;
output ramWE;
input [7:0] ramDATA;
output [16:0] ramADDR;
output lcdSTVU, lcdCKV, lcdOEV, lcd-
OEH, lcdSTHL, lcdVCOM, lcdCPH1;
output [7:0] rgb;
```

4 上位机处理器 STM32 的开发

STM32 要使用 DMA 操作 CPU 芯片外部的显存 SRAM,显存必须通过灵活的静态存储器的控制器 FSMC 总线与 CPU 连接,因为 STM32 的普通 IO 口并没有 DMA 功能。将显存挂在 FSMC 总线上,需要对 FSMC 进行配置。

```
主要的配置程序如下:
/* -FSMC 总线 存储器参数配置- */
p.FSMC_AddressSetupTime = 0;
//地址建立时间
p.FSMC_AddressHoldTime=0;
//地址保持时间
p.FSMC_DataSetupTime=2;
//数据建立时间
p.FSMC_BusTurnAroundDuration=0;
```

```
//总线恢复时间
p.FSMC_CLKDivision=0;
// 时钟分频因子
p.FSMC_DataLatency = 0;
//数据产生时间
p.FSMC_AccessMode=
FSMC_AccessMode_A;
//FSMC NOR 控制器时序
/* ---FSMC 总线 参数配置----- */ FSMC_
NORSRAMInitStructure.FSMC_Bank = FSMC_
Bank1_NORSRAM3;
//使用了 FSMC 的 BANK1 的子板块 3
FSMC_NORSRAMInitStructure.FSMC_Data-
AddressMux=
FSMC_DataAddressMux_Disable;
//禁止地址数据线复用 FSMC_NORSRAMInit-
Structure.FSMC_MemoryType=FSMC_Memo-
ryType_SRAM;
//存储器类型为 SRAM
FSMC_NORSRAMInitStructure.FSMC_Memo-
ryDataWidth = SMC_MemoryDataWidth_16b;
//存储器数据宽度为 16 位
FSMC_NORSRAMInitStructure.FSMC_Burst-
AccessMode=
FSMC_BurstAccessMode_Disable;
//关闭突发模式访问
//等待信号优先级,只有在使能突发访问模式
才有效
FSMC_NORSRAMInitStructure.FSMC_Wait-
SignalPolarity=
```

```

FSMC_WaitSignalPolarity_Low;
//关闭 Wrapped burst access mode,只有在
使能突发访问模式才有效
FSMC_NORSRAMInitStructure. FSMC_Wrap-
Mode = FSMC_WrapMode_Disable;
//等待信号设置,只有在使能突发访问模式
才有效
FSMC_NORSRAMInitStructure. FSMC_Wait-
SignalActive=
FSMC_WaitSignalActive_BeforeWaitState;
FSMC_NORSRAMInitStructure. FSMC_Write-
Operation= FSMC_WriteOperation_Enable;
//使能这个 BANK 的写操作
//使能/关闭等待信息设置,只在使能突发访
问模式才有效
FSMC_NORSRAMInitStructure. FSMC_Wait-
Signal =
FSMC_WaitSignal_Disable;
FSMC_NORSRAMInitStructure. FSMC_ExtendedMode = FSMC_ExtendedMode_Disable;
//关闭 Extend Mode
FSMC_NORSRAMInitStructure. FSMC_Write-
Burst = FSMC_WriteBurst_Disable;
//关闭 Write Burst Mode
FSMC_NORSRAMInitStructure. FSMC_Read-
WriteTimingStruct = &p;
//读操作时序参数
FSMC_NORSRAMInitStructure. FSMC_WriteTimingStruct = &p;
//写操作时序参数
SMC_NORSRAMInit (&FSMC_NORSRAMInitStructure);
FSMC_NORSRAMCmd (FSMC_Bank1_NORSRAM3, ENABLE);

```

由于 STM32 的片内 SRAM 大小是固定的,且缓存区太大会使写缓存时间增加,所以数据缓存区也不宜设置的太大。由于一次写的最大数据量为一整屏幕数据 112k 字节,使用的 STM32 有 20k 的片内 SRAM,综合考虑后控制系统设置了两个 1k 字节的显示数据缓存区。在写一个缓存时,以另一个已经写完的缓冲区作为源地址,以显存作为目的地址进行 DMA 传输^[8]。这样可以很方便地传输数据且能获得较小的显存操作时间,

还加快了基本显示函数的反应时间,有利于加快人机界面的反应速度。

下面给出 DMA 的配置程序:

```

/* DMA channel6 configuration */
DMA_DeInit(DMA1_Channel6);
DMA_InitStructure. DMA_PeripheralBaseAddr =
(u32)DST_SRAM;
DMA_InitStructure. DMA_MemoryBaseAddr =
(u32)SRC_Buffer1;
DMA_InitStructure. DMA_DIR =
DMA_DIR_PeripheralDST;
DMA_InitStructure. DMA_BufferSize = 1000;
DMA_InitStructure. DMA_PeripheralInc =
DMA_PeripheralInc_Enable;
DMA_InitStructure. DMA_MemoryInc = DMA_MemoryInc_Enable;
DMA_InitStructure. DMA_PeripheralDataSize =
DMA_PeripheralDataSize_Byte; DMA_Init-
Structure. DMA_MemoryDataSize =
DMA_MemoryDataSize_Byte;
DMA_InitStructure. DMA_Mode =
DMA_Mode_Normal;
DMA_InitStructure. DMA_Priority =
DMA_Priority_High;
DMA_InitStructure. DMA_M2M =
DMA_M2M_Enable;
DMA_Init(DMA1_Channel6,
DMA_InitStructure);
/* Enable DMA Channel6 Transfer Complete
interrupt */
DMA_ITConfig(DMA1_Channel6, DMA_IT_TC, ENABLE);

```

完成 FSMC 和 DMA 的配置后就是编写基本显示函数,为后续的人机界面开发提供 API 接口。

5 系统的整体调试

在 STM32 中编写整屏画面切换的调试函数,并将 STM32 与 CPLD 连接上电,按键进行切换画面,发现:画面切换迅速平滑,人感觉不到滞后和闪烁,完全符合人机界面的开发要求。

最终方案应用在纺织机械上,显示效果如图 5 所示。



图 5 系统实际人机界面实现效果

Fig. 5 Actual display effect of the man-machine interface

6 结 论

实践证明方案的可行性分析是正确的,以 STM32+CPLD+单片 SRAM 的方案控制 17.8 cm (7 in)模拟屏是完全可行的。此方案降低了成本,加快了人机界面反应速度。并且由前面对方案的可行性分析可知,方案留有很大的裕量,所以只要方案采用更大容量的显存,完全可以胜任更大尺寸 LCD 屏的控制。

参 考 文 献:

- [1] 怯肇乾. 嵌入式图形系统设计 [M]. 北京:北京航空航天大学出版社,2009:128-131.
- [2] 熊文彬, 蒋泉, 曲建军, 等. 基 FPGA 实现的视频显示系统[J]. 液晶与显示, 2011, 26(1): 92-95.
- [3] ST Corporation. STM32F10XXX 参考手册[R]. Geneva, Switzerland, 2008: 70-71.
- [4] MXCHIP Corporation. AN2548_STM32F10xxx DMA 控制器应用实例 [R]. 上海, 2007: 7-9.
- [5] Altera Corporation. MAX II 应用手册 [R]. San Jose, USA, 2010: 1-2.
- [6] InnoLux Display Corporation. 7 寸 TFT-LCD MODULE 应用手册[R]. Taiwan, 2004: 6-7.
- [7] ISSI Corporation. IS63LV1024 应用手册 [R]. San Jose, US, 2000: 2-5.
- [8] 李宁. 基于 MDK 的 STM32 处理器的开发应用 [M]. 北京:北京航空航天大学出版社, 2008: 288-300.

收录《液晶与显示》的数据库:

国际:	英国《科学文摘》(INSPEC)	美国《化学文摘》(CA)
	俄罗斯《文摘杂志》(AJ)	美国《剑桥科学文摘》(CSA)
国内:	中国科学引文数据库	中国科技论文统计源期刊
	中国科技论文与引文数据库	万方数据资源系统数字化期刊
	中国学术期刊综合评价数据库	中国学术期刊(光盘版)
	中国期刊全文数据库	中国期刊网
	中国物理学文献数据库	中国物理文摘
	中国光学文献数据库	中国学术期刊文摘
	电子科技文献数据库	电子科技文摘
	中文科技期刊数据库	中文电子期刊服务资料库(台湾)
	中国核心期刊(遴选)数据库	